

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

Masayuki Hira, et al.

Serial No: TBD

Filed: Herewith

For: Semiconductor Memory Device

TIJ-34716

Art Unit: TBD

Examiner: TBD

**TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF  
PRIORITY APPLICATION UNDER 35 U.S.C. §119**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-259987, filed on September 5, 2002, in the Japanese Patent Office and from which priority under 35 U.S.C. §119 is claimed for the above-identified application.

Respectfully submitted,



Alan K. Stewart  
Attorney for Applicants  
Reg. No. 35,373

Texas Instruments Incorporated  
P.O. Box 655474, MS 3999  
Dallas, TX 75265  
(972) 917-5466

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 9月 5日

出願番号  
Application Number:

特願2002-259987

[ST.10/C]:

[JP2002-259987]

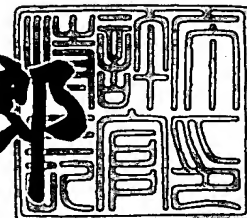
出願人  
Applicant(s):

日本テキサス・インスツルメンツ株式会社

2003年 6月20日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048548

T1J-34716 (2002J010)

( )

【書類名】 特許願

【整理番号】 020367

【提出日】 平成14年 9月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/12  
G11C 8/00

【発明の名称】 半導体記憶装置

【請求項の数】 7

【発明者】

    【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン  
                                スツルメンツ株式会社内

    【氏名】 平 雅之

【発明者】

    【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン  
                                スツルメンツ株式会社内

    【氏名】 市村 康史

【発明者】

    【住所又は居所】 茨城県つくば市御幸が丘17番地 日本テキサス・イン  
                                スツルメンツ株式会社内

    【氏名】 松澤 尊広

【特許出願人】

    【識別番号】 390020248

    【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

    【識別番号】 100094053

    【弁理士】

    【氏名又は名称】 佐藤 隆久

【手数料の表示】

    【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102925

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

所定数毎に複数のブロックに区分けされた複数のビット線対と複数のワード線との間にマトリクス状に配置された複数のメモリセルを有するメモリセル・アレイと、

上記複数のブロックにそれぞれ対応し、上記所定数のビット線対の中から 1 つのビット線対を選択して当該選択したビット線対を出力線対に電氣的に接続する複数のビット線選択回路と、

上記複数の出力線対を所定の信号レベルにそれぞれ充電する複数のビット線充電回路と、

選択されたメモリセルの記憶データに応じて上記複数の出力線対に発生する信号レベルの差をそれぞれ増幅するための複数の増幅回路と、

ブロック選択信号に応じて上記複数のブロックにそれぞれ対応する上記複数の出力線対の中の 1 つを選択して当該選択した出力線対を選択出力線対に電氣的に接続するブロック選択回路と、

上記選択出力線対の信号レベルが相補信号レベルでないときに出力データを保持し、上記選択出力線対の信号レベルが第 1 又は第 2 の相補信号レベルであるときに当該相補信号レベルに応じた第 1 のデータ又は第 2 のデータを出力するデータ保持回路と、

を有する半導体記憶装置。

【請求項 2】

上記ブロック選択回路が上記複数の出力線対と上記選択出力線対との間にそれぞれ接続された複数のゲート回路を有し、

上記複数のゲート回路が上記出力線対の一方及び他方と上記選択出力線対の一方及び他方との間にそれぞれ接続された第 1 及び第 2 のスイッチ回路を有し、上記第 1 及び第 2 のスイッチ回路が制御信号に応じて導通状態又は非導通状態に制御される

請求項 1 に記載の半導体記憶装置。

【請求項 3】

上記第 1 及び第 2 のスイッチ回路がトランスファ・ゲートである

請求項 2 に記載の半導体記憶装置。

【請求項 4】

上記ブロック選択回路が上記複数の出力線対と上記選択出力線対との間にそれぞれ接続された複数のゲート回路を有し、

上記複数のゲート回路が上記出力線対の一方及び他方と上記選択出力線対の一方及び他方との間にそれぞれ接続された第 1 及び第 2 のインバータ回路を有し、  
上記第 1 及び第 2 のインバータ回路が制御信号に応答して入力信号に応じた出力信号を出力する又は高インピーダンス信号を出力するように制御される

請求項 1 に記載の半導体記憶装置。

【請求項 5】

上記第 1 及び第 2 のインバータ回路がクロックド・インバータ回路である

請求項 4 に記載の半導体記憶装置。

【請求項 6】

上記複数のビット線選択回路が上記所定数のビット線対の一方及び他方にそれぞれ接続された第 1 及び第 2 のデータ書き込み回路を有し、上記第 1 及び第 2 のデータ書き込み回路が書き込み制御信号に応じて上記ビット線対の一方及び他方に互いに相補的な信号を供給する

請求項 1、2、3、4 又は 5 に記載の半導体記憶装置。

【請求項 7】

上記第 1 及び第 2 のデータ書き込み回路が上記ビット線対の一方及び他方と電圧供給端子との間にそれぞれ接続された第 1 及び第 2 のトランジスタである

請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に係り、特に、複数のセンス増幅器からの出力信号を

切り換えて記憶データを読み出す半導体記憶装置に関するものである。

【 0 0 0 2 】

【従来の技術】

S R A Mなどの半導体記憶装置の記憶容量を増やす比較的単純な方法として、ビット線に接続されるメモリセルの数を増やす方法がある。しかしながら、メモリセルの数が増えるとメモリセルの容量成分がその数に比例して大きくなり、また、ビット線の長さが長くなってその容量成分も大きくなるので、ビット線を駆動するメモリセルの負荷が重くなる問題がある。メモリセルに用いられるトランジスタの駆動能力には製造プロセスの種類などに応じた限界があるので、こうした方法で増やせる記憶容量には限界がある。

【 0 0 0 3 】

このため、記憶容量を増やす別の方法として、ビット線の数を増やす方法が一般に用いられている。

図 7 は、ビット線の数を 8 倍に増やした半導体記憶装置の構成例を示すブロック図である。

図 7 に示す半導体記憶装置は、メモリセル・アレイ 1 と、ビット線選択回路 2 と、センス増幅器 3 とを有している。

【 0 0 0 4 】

メモリセル・アレイ 1 は、行列状に配列された複数のメモリセルを有しており、各列のメモリセルがビット線対 ( B L 0 , B L 0 Z ) ~ ( B L 7 , B L 7 Z ) に接続される。特に図示していないが、各行のメモリセルはそれぞれ共通のワード線に接続されており、活性化されたワード線に接続されるメモリセルがビット線対 ( B L 0 , B L 0 Z ) ~ ( B L 7 , B L 7 Z ) を介してアクセスされる。

【 0 0 0 5 】

ビット線選択回路 2 は、ビット線選択信号 S E L 0 Z ~ S E L 7 Z に応じて、ビット線対 ( B L 0 , B L 0 Z ) ~ ( B L 7 , B L 7 Z ) の何れかを選択し、選択したビット線対の信号をセンス増幅器 3 に出力する。

【 0 0 0 6 】

図 7 の例において、ビット線選択回路 2 は、p 型 M O S トランジスタ 2 - 0 ~

2-7およびp型MOSトランジスタ2-0Z~2-7Zを有する。

ビット線対の一方のビット線BL0~BL7は出力線Nに共通接続され、ビット線対の他方のビット線BL0Z~BL7Zは出力線NZに共通接続される。また、ビット線BL0~BL7と出力線Nとの接続線上にはp型MOSトランジスタ2-0~2-7が挿入され、ビット線BL0Z~BL7Zと出力線NZとの接続線上にはp型MOSトランジスタ2-0Z~2-7Zが挿入される。p型MOSトランジスタ2-0~2-7のゲートにはビット線選択信号SEL0Z~SEL7Zが入力され、p型MOSトランジスタ2-0Z~2-7Zのゲートにもビット線選択信号SEL0Z~SEL7Zが入力される。

#### 【0007】

センス増幅器3は、メモリセルの記憶データの読み出し時において、ビット線選択回路2で選択されたビット線対の微小な電圧差を増幅する。この増幅された電圧差から、メモリセルの記憶データの値が判別される。

#### 【0008】

図7の半導体記憶装置においてメモリセルの記憶データが読み出される場合、その読み出しアドレスに応じて、ビット線選択信号SEL0Z~SEL7Zのうちの何れかがローレベルに設定される。これにより、ローレベルのビット線選択信号をゲートに受けたp型MOSトランジスタが導通し、導通したp型MOSトランジスタを介して、ビット線対(BL0, BL0Z)~(BL7, BL7Z)の何れかの信号が出力線NおよびNZからセンス増幅器3に出力される。

一方、この読み出しアドレスに応じてメモリセル・アレイ1のワード線が活性化されると、活性化されたワード線に接続されるメモリセルによってビット線対(BL0, BL0Z)~(BL7, BL7Z)が駆動され、メモリセルの記憶データに応じた電圧差がビット線対(BL0, BL0Z)~(BL7, BL7Z)に発生する。

センス増幅器3では、これらのビット線対のうち、ビット線選択回路2によって選択された1のビット線対の電圧差が増幅され、増幅された電圧差から記憶データの値が判別される。

#### 【0009】



このように、図 7 の半導体記憶装置によれば、選択回路を用いて複数のビット線対から 1 のビット線対を選択することにより記憶容量を増やすことができる。しかしながら、この方法では、ビット線の選択回路自体がメモリセルに対する負荷になってしまう問題がある。たとえば図 7 の半導体記憶装置におけるビット線 B L 0 の負荷は、メモリセルの容量成分の他に、ビット線選択回路 2 の p 型 MOS トランジスタ 2 - 1 ~ 2 - 7 の容量成分が加わる。ビット線対の数をさらに増やしていくと、その数に比例して選択回路のトランジスタによる容量成分の負荷が大きくなってしまう。

## 【 0 0 1 0 】

そこで、ビット線対の数をさらに増やす場合には、ビット線選択回路およびセンス増幅器を複数設けてその出力信号を切り換える方法が一般に用いられている。

## 【 0 0 1 1 】

図 8 は、2 つのビット線選択回路およびセンス増幅器を用いて、ビット線の数を 1 6 倍に増やした半導体記憶装置の構成例を示すブロック図である。

図 8 に示す半導体記憶装置は、メモリセル・アレイ 1 と、ビット線選択回路 2 \_\_ A および 2 \_\_ B と、センス増幅器 3 \_\_ A および 3 \_\_ B と、ラッチ回路 4 \_\_ A および 4 \_\_ B と、スイッチ回路 5 \_\_ A および 5 \_\_ B とを有する。

## 【 0 0 1 2 】

メモリセル・アレイ 1 A は、行列状に配列された複数のメモリセルを有し、1 6 列のメモリセルが 1 6 本のビット線対に接続されている。この 1 6 本のビット線対は、8 本ずつの 2 つのブロックに区分されており、2 つのブロックの一方のブロック（以降、ブロック A と呼ぶ）がビット線選択回路 2 \_\_ A に接続され、他方のブロック（以降、ブロック B と呼ぶ）がビット線選択回路 2 \_\_ B に接続される。

また、メモリセル・アレイ 1 と同様に、各行のメモリセルはそれぞれ共通のワード線に接続されており、活性化されたワード線に接続されるメモリセルがビット線対を通じてアクセスされる。

## 【 0 0 1 3 】

ビット線選択回路 2\_\_A は、ビット線選択信号 S B に応じてブロック A の 8 本のビット線対の中から何れか 1 つのビット線対を選択し、選択したビット線対の信号をセンス増幅器 3\_\_A に出力する。

ビット線選択回路 2\_\_B は、ビット線選択信号 S B に応じてブロック B の 8 本のビット線対の中から何れか 1 つのビット線対を選択し、選択したビット線対の信号をセンス増幅器 3\_\_B に出力する。

このビット線選択回路 2\_\_A, 2\_\_B は、図 7 の半導体記憶装置におけるビット線選択回路 2 と同様な回路で構成することができる。

#### 【0014】

センス増幅器 3\_\_A は、記憶データの読み出し時において、図示しないイネーブル信号 E N がローレベルからハイレベルへ変化した場合、ビット線選択回路 2\_\_A で選択されたビット線対の微小な電圧差を増幅する。この電圧差の増幅によって、出力端子 S A\_\_A および S A Z\_\_A の一方をハイレベル、他方をローレベルに設定する。

センス増幅器 3\_\_B は、記憶データの読み出し時において、イネーブル信号 E N がローレベルからハイレベルへ変化した場合、ビット線選択回路 2\_\_B で選択されたビット線対の微小な電圧差を増幅する。この電圧差の増幅によって、出力端子 S A\_\_B および S A Z\_\_B の一方をハイレベル、他方をローレベルに設定する。

ただしこの増幅動作は、2 つのセンス増幅器 3\_\_A または 3\_\_B のうち、ブロック選択信号線 S M に応じて選択された一方のセンス増幅器で実行される。

#### 【0015】

ラッチ回路 4\_\_A は、センス増幅器 3\_\_A の出力端子 S A\_\_A および S A Z\_\_A の信号レベルに応じて、ハイレベルまたはローレベルの信号 S L\_\_A をスイッチ回路 5\_\_A に出力する。出力端子 S A\_\_A および S A Z\_\_A が共にハイレベルの場合は、出力信号 S L\_\_A のレベルを保持する。

ラッチ回路 4\_\_B は、センス増幅器 3\_\_B の出力端子 S A\_\_B および S A Z\_\_B の信号レベルに応じて、ハイレベルまたはローレベルの信号 S L\_\_B をスイッチ回路 5\_\_B に出力する。出力端子 S A\_\_B および S A Z\_\_B が共にハイレベル

の場合は、出力信号  $SL\_B$  のレベルを保持する。

【0016】

スイッチ回路  $5\_A$  およびスイッチ回路  $5\_B$  は、互いの出力端子が共通接続されており、ブロック選択有効信号  $SMEN$  に応じて選択された一方のスイッチ回路がオン状態、他方のスイッチ回路がオフ状態となる。スイッチ回路  $5\_A$  がオン状態となった場合にはラッチ回路  $4\_A$  に保持された信号が、スイッチ回路  $5\_B$  がオン状態となった場合にはラッチ回路  $4\_B$  に保持された信号が、メモリセルからの読み出し信号  $SAOUT$  として、共通接続された出力端子に出力される。

【0017】

図8に示した半導体記憶装置の動作について、図9のタイミングチャートを参照しながら説明する。

図9のタイミングチャートでは、初期状態において、ビット線対の2つのブロックのうち、ブロックBがブロック選択信号  $SM$  (図9A) およびブロック選択有効信号  $SMEN$  (図9E) によって選択されている。このため、スイッチ回路  $5\_B$  がオン状態となり、読み出し信号  $SAOUT$  (図9F) として、ラッチ回路  $4\_B$  に保持されたハイレベルの信号が出力されている。また、図示しないプリチャージ回路によってセンス増幅器  $3\_A$  の入力端子が電源電圧に充電されているため、出力端子  $SA\_A$  および  $SAZ\_A$  (図9C) はともにハイレベルになっている。ラッチ回路  $4\_A$  の出力信号  $SL\_A$  (図9D) は、ハイレベルに保持されている。

【0018】

時刻  $t_a$  において、記憶データの読み出しアドレスが新たに設定されると、これに応じて、ビット線選択信号  $SB$  およびブロック選択信号  $SM$  が更新される。図9の例では、ブロック選択信号  $SM$  (図9A) によるブロックの選択が、ブロックBからブロックAに変更される。また、この読み出しアドレスの新たな設定に応じて、メモリセル・アレイ1Aのワード線の1つが活性化され、活性化されたワード線に接続されるメモリセルによりビット線対が駆動されて、ビット線対にはメモリセルの記憶データに応じた電圧差が発生する。

## 【0019】

時刻  $t_b$  において、イネーブル信号  $EN$  がローレベルからハイレベルへ変化すると、ブロック選択信号  $SM$  で選択されたセンス増幅器  $3\_A$  の増幅動作が開始され、出力端子  $SA\_A$  がローレベル、出力端子  $SAZ\_A$  がハイレベルに変化する。この出力端子のレベル変化を受けて、時刻  $t_c$  において、ラッチ回路  $4\_A$  の出力信号  $SL\_A$  (図9D) がハイレベルからローレベルへ変化する。時刻  $t_c$  からある適当なマージン時間  $T_m$  を経た時刻  $t_d$  において、ブロック選択有効信号  $SMEN$  (図9E) によるブロックの選択がブロックBからブロックAへ変更されると、スイッチ回路  $5\_A$  がオン状態、スイッチ回路  $5\_B$  がオフ状態に変化し、ラッチ回路  $4\_A$  に保持されたローレベルの信号が出力信号  $SAOUT$  として出力される。

## 【0020】

図8の半導体記憶装置によれば、ビット線の負荷になるビット線選択回路のトランジスタ数が図7の半導体記憶装置と同じでありながら、メモリセルの数を図7の半導体記憶装置の2倍に増やすことができる。

## 【0021】

## 【発明が解決しようとする課題】

しかしながら、図8の半導体記憶装置では、出力信号  $SAOUT$  に無効な信号が現れないようにするため、ブロック選択有効信号  $SMEN$  によるラッチ回路の選択が変更される前に、ラッチ回路  $4\_A$ 、 $4\_B$  の出力信号  $SL\_A$ 、 $SL\_B$  を完全に確定させるためのマージン時間  $T_m$  を設ける必要がある。したがって、このマージン時間  $T_m$  の分だけアクセス速度が低下してしまう不利益がある。また、ブロック選択有効信号  $SMEN$  のタイミングを、マージン時間  $T_m$  の条件に適合するように制御する必要があるので、その為の回路を別途設けなくてはならない不利益がある。

## 【0022】

本発明はかかる事情に鑑みてなされたものであり、その目的は、ビット線の負荷を増大させることなく記憶容量を増やすことができるとともに、アクセス速度をより高速化できる半導体記憶装置を提供することにある。

## 【0023】

## 【課題を解決するための手段】

上記目的を達成するために、本発明の半導体記憶装置は、所定数毎に複数のブロックに区分けされた複数のビット線対と複数のワード線との間にマトリクス状に配置された複数のメモリセルを有するメモリセル・アレイと、上記複数のブロックにそれぞれ対応し、上記所定数のビット線対の中から1つのビット線対を選択して当該選択したビット線対を出力線対に電氣的に接続する複数のビット線選択回路と、上記複数の出力線対を所定の信号レベルにそれぞれ充電する複数のビット線充電回路と、選択されたメモリセルの記憶データに応じて上記複数の出力線対に発生する信号レベルの差をそれぞれ増幅するための複数の増幅回路と、ブロック選択信号に応じて上記複数のブロックにそれぞれ対応する上記複数の出力線対の中の1つを選択して当該選択した出力線対を選択出力線対に電氣的に接続するブロック選択回路と、上記選択出力線対の信号レベルが相補信号レベルでないときに出力データを保持し、上記選択出力線対の信号レベルが第1又は第2の相補信号レベルであるときに当該相補信号レベルに応じた第1のデータ又は第2のデータを出力するデータ保持回路とを有する。

## 【0024】

上記ブロック選択回路が上記複数の出力線対と上記選択出力線対との間にそれぞれ接続された複数のゲート回路を有し、上記複数のゲート回路が上記出力線対の一方及び他方と上記選択出力線対の一方及び他方との間にそれぞれ接続された第1及び第2のスイッチ回路を有し、上記第1及び第2のスイッチ回路が制御信号に応じて導通状態又は非導通状態に制御される構成としてもよい。

また、上記ブロック選択回路が上記複数の出力線対と上記選択出力線対との間にそれぞれ接続された複数のゲート回路を有し、上記複数のゲート回路が上記出力線対の一方及び他方と上記選択出力線対の一方及び他方との間にそれぞれ接続された第1及び第2のインバータ回路を有し、上記第1及び第2のインバータ回路が制御信号に应答して入力信号に応じた出力信号を出力する又は高インピーダンス信号を出力するように制御される構成としてもよい。

## 【0025】

更には、上記複数のビット線選択回路が上記所定数のビット線対の一方及び他方にそれぞれ接続された第 1 及び第 2 のデータ書き込み回路を有し、上記第 1 及び第 2 のデータ書き込み回路が書き込み制御信号に応じて上記ビット線対の一方及び他方に互いに相補的な信号を供給する構成としてもよい。

#### 【 0 0 2 6 】

##### 【発明の実施の形態】

本発明の 2 つの実施形態について、図面を参照しながら説明する。

##### <第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態に係る半導体記憶装置の構成の一例を示すブロック図である。

図 1 の例に示す半導体記憶装置は、メモリセル・アレイ 1 0 と、ビット線選択回路 2 0 ～ 2 7 と、充電回路 3 0 ～ 3 7 と、増幅回路 4 0 ～ 4 7 と、ブロック選択回路 6 0 と、データ保持回路 7 0 とを有する。

メモリセル・アレイ 1 0 は、本発明の複数のメモリセルの一実施形態である。

ビット線選択回路 2 0 ～ 2 7 は、本発明の複数のビット線選択回路の一実施形態である。

充電回路 3 0 ～ 3 7 は、本発明の複数のビット線充電回路の一実施形態である。

増幅回路 4 0 ～ 4 7 は、本発明の複数の増幅回路の一実施形態である。

ブロック選択回路 6 0 は、本発明のブロック選択回路の一実施形態である。

データ保持回路 7 0 は、本発明のデータ保持回路の一実施形態である。

#### 【 0 0 2 7 】

メモリセル・アレイ 1 0 は、行列状に配列された複数のメモリセルを有し、6 4 列のメモリセルが 6 4 本のビット線対に接続されている。この 6 4 本のビット線対は、8 本ずつの 8 つのブロック M 0 ～ M 7 に区分されており、このブロック M 0 ～ M 7 の各ビット線対がビット線選択回路 2 0 ～ 2 7 に接続される。

また、特に図示していないが、各行のメモリセルはそれぞれ共通のワード線に接続されている。メモリセル・アレイ 1 0 の記憶データを読み出す動作モード（以降、読み出しモードと呼ぶ）、または、メモリセル・アレイ 1 0 に記憶データ

を書き込む動作モード（以降、書き込みモードと呼ぶ）において、これらのワード線のうちアクセス対象のアドレスに対応するワード線が活性化され、活性化されたワード線に接続されるメモリセルがビット線対を通じてアクセスされる。

## 【0028】

ビット線選択回路2*i*（*i*は0から7までの整数を示す）は、ビット線選択信号SBに応じて、ブロックM*i*に含まれる8本のビット線対の中から何れか1つのビット線対を選択する。読み出しモードの場合、この選択したビット線対の信号を出力線対（SA*i*，SA*i*Z）に出力する。また、書き込みモードの場合は、この選択したビット線対の2つのビット線を、書き込み信号SWおよびSWZの信号レベルに応じて、それぞれハイレベルまたはローレベルに設定する。

## 【0029】

図2は、ビット線選択回路20の構成の一例を示すブロック図である。

図2の例に示すビット線選択回路20は、p型MOSトランジスタ201-0～201-7と、p型MOSトランジスタ202-0～202-7と、n型MOSトランジスタ203-0～203-7と、n型MOSトランジスタ204-0～204-7と、NOR回路205-0～205-7と、NOR回路206-0～206-7と、NAND回路207-0～207-7と、インバータ回路208-0～208-7と、制御回路209とを有する。

## 【0030】

ビット線BL*j*（*j*は0から7までの整数を示す）は、p型MOSトランジスタ201-*j*を介して出力線SA0に接続されるとともに、n型MOSトランジスタ203-*j*を介して基準電位線Gに接続される。

ビット線BL*j*Zは、p型MOSトランジスタ202-*j*を介して出力線SA0Zに接続されるとともに、n型MOSトランジスタ204-*j*を介して基準電位線Gに接続される。

## 【0031】

p型MOSトランジスタ201-*j*およびp型MOSトランジスタ202-*j*のゲートには、NAND回路207-*j*の出力信号が入力される。n型MOSトランジスタ203-*j*のゲートには、NOR回路205-*j*の出力信号が入力さ

れる。n型MOSトランジスタ204-jのゲートには、NOR回路206-jの出力信号が入力される。

#### 【0032】

NOR回路205-jの2つの入力端子には、制御回路209から出力される書き込み信号WRと、インバータ回路208-jの出力信号とが入力される。NOR回路206-jの2つの入力端子には、制御回路209から出力される書き込み信号WRZと、インバータ回路208-jの出力信号とが入力される。NAND回路207-jの2つの入力端子には、制御回路209から出力される制御信号WFZと、ビット線選択信号SBの第jビットの選択信号とが入力される。インバータ回路208-jの入力端子には、ビット線選択信号SBの第jビットの選択信号が入力される。

#### 【0033】

制御回路209は、書き込みモードにおいてブロック選択信号SMによりブロックM0が選択された場合、入力される書き込み信号SWおよびSWZと同一の信号レベルを有した書き込み信号WRおよび書き込み信号WRZを出力し、その他の場合には、書き込み信号WRおよびWRZをハイレベルに設定する。

また、制御回路209は、読み出しモードにおいてブロック選択信号SMによりブロックM0が選択された場合、制御信号WFZをハイレベルに設定し、その他の場合には制御信号WFZをローレベルに設定する。

#### 【0034】

ここで、上述した構成を有するビット線選択回路20の動作を説明する。

書き込みモードにおいてブロック選択信号SMによりブロックM0が選択された場合、制御回路209において信号WFZがローレベルに設定されるため、NAND回路207-jの出力信号がハイレベルになり、p型MOSトランジスタ201-0~201-7およびp型MOSトランジスタ202-0~202-7が全てオフ状態となる。また、書き込み信号WRおよびWRZの信号レベルは、書き込み信号SWおよびSWZと同一になる。

この状態で、ビット線選択信号SBの第jビットの選択信号がハイレベル、他のビットの選択信号が全てローレベルになっているとすると、インバータ回路2



0 8 - j の出力信号がローレベルになり、N O R 回路 2 0 5 - j の出力信号は書き込み信号 S W の信号レベルに応じて、N O R 回路 2 0 6 - j の出力信号は書き込み信号 S W Z の信号レベルに応じて、ハイレベルまたはローレベルに設定される。この N O R 回路 2 0 5 - j および N O R 回路 2 0 6 - j の出力信号に応じて、n 型 M O S トランジスタ 2 0 3 - j および n 型 M O S トランジスタ 2 0 4 - j がオン状態またはオフ状態となり、ビット線 B L j およびビット線 B L j Z がハイレベルまたはローレベルに設定される。

たとえば、書き込み信号 S W がハイレベルで書き込み信号 S W Z がローレベルの場合、n 型 M O S トランジスタ 2 0 3 - j がオフ状態、n 型 M O S トランジスタ 2 0 4 - j がオン状態となり、ビット線 B L j がハイレベル、ビット線 B L j Z がローレベルになる。逆に、書き込み信号 S W がローレベルで S W Z がハイレベルになると、ビット線 B L j がローレベルで B L j Z がハイレベルになる。

#### 【 0 0 3 5 】

書き込みモードにおいてブロック選択信号 S M によりブロック M 0 が選択されていない場合は、書き込み信号 W R および W R Z が共にハイレベルに設定されるため、N O R 回路 2 0 5 - 0 ~ 2 0 5 - 7 および N O R 回路 2 0 6 - 0 ~ 2 0 6 - 7 の出力信号が全てローレベルになり、n 型 M O S トランジスタ 2 0 3 - 0 ~ 2 0 3 - 7 および n 型 M O S トランジスタ 2 0 4 ~ 2 0 4 - 7 が全てオフ状態になる。すなわち、書き込み信号 S W および S W Z に応じたメモリセルへの書き込み動作が実行されない。

#### 【 0 0 3 6 】

読み出しモードにおいてブロック選択信号 S M によりブロック M 0 が選択された場合、制御信号 W F Z がハイレベルに設定されるため、N A N D 回路 2 0 7 - 0 ~ 2 0 7 - 7 の出力信号が、ビット線選択信号 S B に応じてハイレベルまたはローレベルになる。

すなわち、ビット線選択信号 S B の第 j ビットの選択信号がハイレベルになり、他のビットの選択信号がローレベルになっているとすると、N A N D 回路 2 0 7 - j の出力信号がローレベルになり、他の N A N D 回路の出力信号はハイレベルになるので、p 型 M O S トランジスタ 2 0 1 - j および 2 0 2 - j だけがオン

状態になる。これにより、ビット線対 (BL<sub>j</sub>, BL<sub>j</sub>Z) が出力線対 (SA<sub>0</sub>, SA<sub>0</sub>Z) に接続される。

#### 【0037】

読み出しモードにおいてブロック選択信号 SM によりブロック M<sub>0</sub> が選択されていない場合は、制御信号 WFZ がローレベルに設定されるため、p 型 MOS トランジスタ 201-0~201-7 および p 型 MOS トランジスタ 202-0~202-7 が全てオフ状態となり、全てのビット線対が出力線対 (SA<sub>0</sub>, SA<sub>0</sub>Z) から切り離される。すなわち、ブロック M<sub>0</sub> の読み出し動作は実行されない。

#### 【0038】

なお、読み出しモードにおいても、書き込み信号 WR および WRZ は共にハイレベルに設定されるため、n 型 MOS トランジスタ 203-0~203-7 および n 型 MOS トランジスタ 204-0~204-7 は全てオフ状態になる。

#### 【0039】

以上はビット線選択回路 20 の説明であるが、その他のビット線選択回路 21~27 についても、ビット線選択回路 20 と同様な構成を有し、同様に動作する。

#### 【0040】

図 1 の説明に戻る。

充電回路 3i は、読み出しモードにおいてメモリセルがビット線対からアクセス可能になる前において、ビット線選択回路 2i の出力線 SA<sub>i</sub> および SA<sub>i</sub>Z の信号レベルを、共に電源電圧に充電する。この電源電圧への充電（以降、プリチャージと呼ぶ）は、ブロック M<sub>i</sub> のメモリセルがビット線対からアクセス可能な場合において停止する。

#### 【0041】

増幅回路 3i は、読み出しモードにおいてブロック選択信号 SM によりブロック M<sub>i</sub> が選択され、メモリセルがビット線対からアクセス可能になった状態で、ビット線選択回路 2i の出力線対 (SA<sub>i</sub>, SA<sub>i</sub>Z) に発生するメモリセルの記憶データに応じた信号レベル差を増幅する。この信号レベル差の増幅によって

、出力線  $SA_i$  および出力線  $SA_iZ$  の一方がハイレベル、他方がローレベルになる。

#### 【0042】

ブロック選択回路60は、ブロック選択信号SMに応じて、ビット線選択回路20～27の出力線対( $SA_0, SA_0Z$ )～( $SA_7, SA_7Z$ )の中から1のビット線対を選択し、選択したビット線対の信号を選択ビット線対( $SBL, SBLZ$ )に出力する。

#### 【0043】

図1の例において、ブロック選択回路60は、ゲート回路50～57を有している。

ゲート回路5*i*は、ブロック選択信号SMによりブロックMiが選択された場合、ビット線選択回路2*i*の出力線対( $SA_i, SA_iZ$ )の信号を、選択ビット線対( $SBL, SBLZ$ )に出力する。ブロック選択信号SMによりブロックMiが選択されていない場合には、選択ビット線対( $SBL, SBLZ$ )に対する出力インピーダンスを高インピーダンス状態に設定する。

ゲート回路50～57からの出力信号は、選択ビット線対( $SBL, SBLZ$ )を介してデータ保持回路70に入力される。

#### 【0044】

データ保持回路70は、選択ビット線SBLおよび選択ビット線SBLZの信号レベルが異なる場合、すなわち、選択ビット線SBLおよび選択ビット線SBLZの一方がハイレベル、他方がローレベルの場合、この信号レベルの組み合わせに応じてハイレベルまたはローレベルの信号SAOUTを出力する。たとえば、選択ビット線SBLがハイレベルで選択ビット線SBLZがローレベルの場合にハイレベルの信号SAOUTを出力し、選択ビット線SBLがローレベルで選択ビット線SBLZがハイレベルの場合にローレベルの信号SAOUTを出力する。

また、選択ビット線SBLおよび選択ビット線SBLZが共にハイレベルの場合、出力中の信号SAOUTのレベルを保持する。

#### 【0045】

図 3 は、図 1 の半導体記憶装置における充電回路 3 0、増幅回路 4 0、ゲート回路 5 0 およびデータ保持回路 7 0 の構成の一例を示すブロック図であり、図 3 と図 1 の同一符号は同一の構成要素を示す。

図 3 の例において、充電回路 3 0 は、p 型 MOS トランジスタ 3 0 1 ~ 3 0 3 と、制御回路 3 0 4 とを有する。増幅回路 4 0 は、増幅回路 4 0 1 と、制御回路 4 0 2 とを有する。ゲート回路 5 0 は、インバータ回路 5 0 5 と、トランスファ・ゲート 5 0 7 および 5 0 8 と、制御回路 5 0 6 とを有する。データ保持回路 7 0 は、NAND 回路 7 0 1 および 7 0 2 と、インバータ回路 7 0 3 とを有する。

トランスファ・ゲート 5 0 7 および 5 0 8 は、本発明の第 1 のスイッチ回路および第 2 のスイッチ回路の一実施形態である。

#### 【0046】

p 型 MOS トランジスタ 3 0 1 および p 型 MOS トランジスタ 3 0 2 は、ビット線選択回路 2 0 の出力線 SA 0 と出力線 SA 0 Z との間に直列に接続され、p 型 MOS トランジスタ 3 0 1 と p 型 MOS トランジスタ 3 0 2 との接続中点が電源線 VDD に接続される。p 型 MOS トランジスタ 3 0 3 は、ビット線選択回路 2 0 の出力線 SA 0 と出力線 SA 0 Z との間に接続される。p 型 MOS トランジスタ 3 0 1 ~ 3 0 3 のゲートには、制御回路 3 0 4 の制御信号 EQ Z が入力される。

制御回路 3 0 4 は、読み出しモードにおいてメモリセルがビット線対からアクセス可能になる前に、制御信号 EQ Z をローレベルに設定して、p 型 MOS トランジスタ 3 0 1 ~ 3 0 3 を導通させる。そして、読み出しモードにおいてブロック選択信号 SM によりブロック M 0 が選択され、ブロック M 0 のメモリセルがビット線対からアクセス可能な場合において、制御信号 EQ Z をハイレベルに設定し、p 型 MOS トランジスタ 3 0 1 ~ 3 0 3 を開放させる。

#### 【0047】

増幅回路 4 0 1 は、制御回路 4 0 2 の制御信号 ENN に応じて、ビット線選択回路 2 0 の出力線対 (SA 0, SA 0 Z) に発生するメモリセルの記憶データに応じた信号レベル差を増幅する。

制御回路 4 0 2 は、読み出しモードにおいてブロック選択信号 SM によりプロ

ックM0が選択され、ブロックM0のメモリセルがビット線対からアクセス可能になった状態で、増幅回路401の増幅動作を実行させる制御信号ENNを出力する。

#### 【0048】

トランスファ・ゲート507は、出力線SA0Zと選択ビット線SBLZとの接続線上に挿入される。トランスファ・ゲート508は、出力線SA0と選択ビット線SBLとの接続線上に挿入される。トランスファ・ゲート507および508は、制御回路506の制御信号MFがハイレベル、インバータ回路505の出力信号がローレベルの場合にオン状態となり、制御信号MFがローレベル、インバータ回路505の出力信号がハイレベルの場合にオフ状態となる。インバータ回路505の入力端子には、制御信号MFが入力される。

制御回路506は、ブロック選択信号SMによりブロックM0が選択された場合、制御信号MFをハイレベルに設定し、ブロック選択信号SMによりブロックM0が選択されていない場合には、制御信号MFをローレベルに設定する。

#### 【0049】

NAND回路701の3つの入力端子には、NAND回路702の出力信号、選択ビット線SBLの信号および書き込み信号SWが入力される。NAND回路702の3つの入力端子には、NAND回路701の出力信号、選択ビット線SBLZの信号および書き込み信号SWRが入力される。インバータ回路703の入力端子には、NAND回路701の出力信号が入力され、その出力端子からは信号SAOUTが出力される。

#### 【0050】

次に、上述した構成を有する図1の半導体記憶装置の動作について、書き込みモードと読み出しモードとに分けて説明する。

#### （書き込みモード）

図4は、書き込みモードにおける各信号のタイミング関係を示すタイミングチャートである。

図4のタイミングチャートでは、初期状態において、ブロック選択信号SM（図4A）によりブロックM1が選択されている。書き込み信号SWおよびSWZ

(図 4 B) は、共にハイレベルに設定されている。ブロック M1 のビット線 B L 0 および B L 0 Z (図 4 D) は、電源電圧にプリチャージされている。データ保持回路 7 0 の出力信号 S A O U T (図 4 C) は、ハイレベルに保持されている。

## 【 0 0 5 1 】

時刻 t 1 において、メモリセル・アレイ 1 0 に対する書き込みアドレスが新たに設定されると、これに応じて、ビット線選択信号 S B およびブロック選択信号 S M が更新される。図 4 の例では、ブロック選択信号 S M (図 4 A) によるブロックの選択が、ブロック M1 からブロック M0 に変更される。また、ビット線選択信号 S B の第 0 ビットの選択信号がハイレベルになり、第 1 ~ 第 7 ビットの選択信号がローレベルになる。

さらに、新たに設定された書き込みアドレスに応じて、このアドレスに対応したメモリセル・アレイ 1 0 のワード線が活性化され、活性化されたワード線に接続されるメモリセルがビット線対を通じて書き込み可能な状態になる。

## 【 0 0 5 2 】

時刻 t 2 において、書き込み信号 S W がローレベル、書き込み信号 S W Z がハイレベルに設定されると (図 4 B) 、これに応じてデータ保持回路 7 0 における N A N D 回路 7 0 1 の出力信号がハイレベル、N A N D 回路 7 0 2 の出力信号がローレベルの信号になる。これにより、時刻 t 3 において、データ保持回路 7 0 の出力信号 S A O U T はローレベルに変化する (図 4 C) 。

## 【 0 0 5 3 】

また、書き込み信号 S W がローレベル、書き込み信号 S W Z がハイレベルに設定されると、ビット線選択回路 2 0 の制御回路 2 0 9 からローレベルの書き込み信号 W R およびハイレベルの書き込み信号 W R Z が N O R 回路 2 0 5 - 0 および 2 0 6 - Z へ出力されるので、N O R 回路 2 0 5 - 0 の出力信号はハイレベル、N O R 回路 2 0 6 - 0 の出力信号はローレベルになる。これにより、時刻 t 4 において n 型 M O S トランジスタ 2 0 3 - 0 がオン状態、n 型 M O S トランジスタ 2 0 4 - 0 がオフ状態になり、ビット線 B L 0 がローレベル、ビット線 B L 0 Z がハイレベルになる (図 4 D) 。

## 【 0 0 5 4 】

なお、ブロック選択信号SMにより選択されていないブロックM1～M7のビット線選択回路21～27では、入力される書き込み信号SWおよびSWZに係わらず、内部の書き込み信号WRおよびWRZが共にハイレベルに設定されるため、メモリセルへの書き込み動作は実行されない。

#### 【0055】

このように、書き込みモードにおいて書き込みアドレスが新たに設定されると、このアドレスに応じてビット線選択信号SBおよびブロック選択信号SMが更新されるとともに、このアドレスに応じたメモリセル・アレイ10のワード線が活性化される。書き込み信号SWおよびSWZとして入力される書き込みデータは、ビット線選択信号SBおよびブロック選択信号SMによって指定されるビット線対を通じて、メモリセル・アレイ10の活性化されたワード線に接続されたメモリセルに書き込まれる。また、書き込み信号SWおよびSWZとして入力される書き込みデータは、データ保持回路70に対して直接入力され、これに保持される。

#### 【0056】

(読み出しモード)

図5は、読み出しモードにおける各信号のタイミング関係を示すタイミングチャートである。

図5のタイミングチャートでは、初期状態において、ブロック選択信号SM(図5A)によりブロックM1が選択されている。また、増幅回路40～47の増幅動作が停止され(図5B)、ビット線選択回路20～27の出力線は充電回路30～37によって電源電圧へプリチャージされ(図5C、D)、選択ビット線対(SBL, SBLZ)の信号レベルはハイレベルになっている(図5E)。データ保持回路70の出力信号SAOUT(図4C)は、ハイレベルに保持されている。

#### 【0057】

時刻t5において、メモリセル・アレイ10に対する読み出しアドレスが新たに設定されると、これに応じて、ビット線選択信号SBおよびブロック選択信号SMが更新される。図5の例では、ブロック選択信号SM(図5A)によるプロ

ックの選択が、ブロックM1からブロックM0に変更される。

【0058】

ブロックM1からブロックM0へブロックの選択が変更されることから、ブロック選択回路60から選択ビット線対(SBL, SBLZ)へ出力される信号は、出力線対(SA1, SA1Z)の信号から、出力線対(SA0, SA0Z)の信号へ切り換えられる。しかしながら、時刻t5までの間にビット線選択回路20~27の出力線は充電回路30~37によって電源電圧へプリチャージされており、出力線対(SA0, SA0Z)および出力線対(SA1, SA1Z)の信号レベルは何れもハイレベルになっているので(図5C, D)、この切り換えの後でも選択ビット線対(SBL, SBLZ)はハイレベルのままである(図5E)。したがって、データ保持回路70の出力信号は引き続き保持される(図5F)。

【0059】

また時刻t5において、新たに設定された読み出しアドレスに応じて、このアドレスに対応したメモリセル・アレイ10のワード線が活性化され、活性化されたワード線に接続されるメモリセルがビット線対を通じて読み出し可能な状態になる。これにより、ビット線選択回路20の出力線対(SA0, SA0Z)には、メモリセルの記憶データに応じた電圧差が徐々に発生する(図5C)。これに応じて、選択ビット線対(SBL, SBLZ)にも電圧差が徐々に発生する(図5E)。

【0060】

なお、充電回路30における充電動作は、メモリセルがビット線対を通じて読み出し可能な場合に停止されている。このため、充電回路30の充電動作によってメモリセルの記憶データが書き換えられることはない。

【0061】

時刻t6において、制御回路402の制御信号ENN(図5B)により増幅回路401の増幅動作が開始されると、出力線対(SA0, SA0Z)に発生していた電圧差が急速に増幅されて、出力線SA0がローレベル、出力線SA0Zがハイレベルになる(図5C)。これに応じて、選択ビット線SBLがローレベル



、選択ビット線 SBLZ がハイレベルになる (図 5 E)。

【 0 0 6 2 】

選択ビット線 SBL がローレベル、選択ビット線 SBLZ がハイレベルになることから、時刻  $t_7$  において、データ保持回路 70 の出力信号 SAOUT はハイレベルからローレベルに変化する (図 5 F)。

【 0 0 6 3 】

さらに次のメモリセルへの読み出しアクセスが行われる場合には、その読み出しアクセスの前に、出力線対 (SA0, SA0Z) ~ (SA7, SA7Z) が充電回路 30 ~ 37 によってプリチャージされ、選択ビット線対 (SBL, SBLZ) がハイレベルになるので、データ保持回路 70 の出力信号 SAOUT は前の読み出しデータのまま保持される。その後、新たな読み出しアドレスに応じてブロック選択信号 SM によるブロックの選択が変化しても、上述の時刻  $t_5$  と同様に、出力線対 (SA0, SA0Z) ~ (SA7, SA7Z) は全てハイレベルであるため、データ保持回路 70 の出力信号 SAOUT は前の読み出しデータのまま保持される。データ保持回路 70 の出力信号 SAOUT は、増幅回路 40 ~ 47 の増幅動作が完了次第、直ちに次の読み出しデータに変化する。

【 0 0 6 4 】

このように、図 1 の半導体記憶装置によれば、データ保持回路 70 に保持されたデータが増幅回路 40 ~ 47 の増幅結果によって書き換えられる時点で読み出しデータが確定されるので、図 8 の半導体記憶装置のように、ラッチ回路に有効なデータが保持されるまでスイッチ回路による出力信号の切り換えを遅らせるマージン時間を設ける必要がなくなり、記憶データの読み出し時間を高速化することができる。

また、図 8 の半導体記憶装置におけるブロック選択有効信号 SMEN のように、マージン時間の条件に適合するようなタイミングの制御を必要とする信号がなくなるので、その為の回路を削減することができる。

【 0 0 6 5 】

また、ビット線選択回路 20 ~ 27 の出力線対の信号が、新たな読み出しアドレスの設定によってブロック選択回路 60 により切り換えられても、充電回路 3

0～37において出力線対がプリチャージされるため、データ保持回路70のデータが信号切り換えの前後で保持される。したがって、出力信号SAOUTとして無効なデータが出力されることを防止できる。

【0066】

## ＜第2の実施形態＞

次に、本発明の第2の実施形態について説明する。

第2の実施形態の半導体記憶装置では、第1の実施形態の半導体記憶装置に対してゲート回路の構成が異なる。

たとえば、図1の半導体記憶装置におけるゲート回路50～57が、次に述べるゲート回路50A～57Aに置き換えられる。

【0067】

図6は、本発明の第2の実施形態に係る半導体記憶装置における充電回路30、増幅回路40、ゲート回路50Aおよびデータ保持回路70の構成の一例を示すブロック図である。ただし、図6と図1の同一符号は同一の構成要素を示す。

図6の例において、ゲート回路50Aは、インバータ回路501、502および505と、クロックド・インバータ回路503および504と、制御回路506とを有する。

【0068】

インバータ回路501の入力端子はビット線選択回路20の出力線SAOZに接続され、その出力端子はクロックド・インバータ回路503の入力端子に接続される。クロックド・インバータ回路503の出力端子は選択ビット線SBLZに接続される。

インバータ回路502の入力端子はビット線選択回路20の出力線SAOに接続され、その出力端子はクロックド・インバータ回路504の入力端子に接続される。クロックド・インバータ回路504の出力端子は選択ビット線SBLに接続される。

【0069】

クロックド・インバータ回路503は、制御信号MFがハイレベルでインバータ回路505の出力信号がローレベルの場合に通常のインバータとして機能し、

インバータ回路 5 0 1 の出力信号を反転して選択ビット線 S B L Z に出力する。制御信号 M F がローレベルでインバータ回路 5 0 5 の出力信号がハイレベルの場合には、選択ビット線 S B L Z に対する出力インピーダンスを高インピーダンス状態に設定し、選択ビット線 S B L Z への電流の出力を遮断する。

同様に、クロックド・インバータ回路 5 0 4 は、制御信号 M F がハイレベルでインバータ回路 5 0 5 の出力信号がローレベルの場合に通常のインバータとして機能し、インバータ回路 5 0 2 の出力信号を反転して選択ビット線 S B L に出力する。制御信号 M F がローレベルでインバータ回路 5 0 5 の出力信号がハイレベルの場合には、選択ビット線 S B L に対する出力インピーダンスを高インピーダンス状態に設定する。

#### 【 0 0 7 0 】

ブロック選択信号 S M によりブロック M 0 が選択されて制御回路 5 0 6 の制御信号 M F がハイレベルになった場合、出力線 S A 0 Z の信号はインバータ回路 5 0 1 において反転され、この反転された信号がクロックド・インバータ回路 5 0 3 においてさらに反転され、結果として出力線 S A 0 Z と同一の信号が選択ビット線 S B L Z に出力される。同様に、出力線 S A 0 の信号はインバータ回路 5 0 2 において反転され、この反転された信号がクロックド・インバータ回路 5 0 4 においてさらに反転され、結果として出力線 S A 0 と同一の信号が選択ビット線 S B L に出力される。

また、ブロック選択信号 S M によりブロック M 0 が選択されず制御回路 5 0 6 の制御信号 M F がローレベルになった場合には、クロックド・インバータ回路 5 0 3 および 5 0 4 の出力が何れも高インピーダンス状態となり、出力線対 ( S A 0 , S A 0 Z ) の信号は選択ビット線対 ( S B L , S B L Z ) に出力されない。

#### 【 0 0 7 1 】

以上はゲート回路 5 0 A の説明であるが、その他のゲート回路 5 1 A ~ 5 7 A についても、ゲート回路 5 0 A と同様な構成を有し、同様に動作する。

#### 【 0 0 7 2 】

このように、第 2 の実施形態に係る半導体記憶装置では、ゲート回路としてインバータ回路およびクロックド・インバータ回路が用いられているため、ゲート

回路としてトランスファ・ゲートが用いられている図1の半導体記憶装置に比べて、選択ビット線対（SBL，SBLZ）に生じた雑音などの信号成分を、ゲート回路からメモリセルへ伝播させ難くすることができる。これにより、選択ビット線対（SBL，SBLZ）に接続するゲート回路の数をさらに多くすることが可能になり、記憶容量のさらなる大容量化を図ることが可能になる。

【0073】

なお、本発明は上述した実施形態に限定されない。

たとえば、図において示したビット線対のブロック数や、各ブロックにおけるビット線対の数は一例であり、これらの数は任意に設定可能である。

【0074】

【発明の効果】

本発明によれば、ビット線の負荷を増大させることなく記憶容量を増やすことができるとともに、アクセス速度をより高速化できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体記憶装置の構成の一例を示すブロック図である。

【図2】

ビット線選択回路の構成の一例を示すブロック図である。

【図3】

本発明の第1の実施形態に係る半導体記憶装置における充電回路、増幅回路、ゲート回路およびデータ保持回路の構成の一例を示すブロック図である。

【図4】

書き込みモードにおける各信号のタイミング関係を示すタイミングチャートである。

【図5】

読み出しモードにおける各信号のタイミング関係を示すタイミングチャートである。

【図6】

本発明の第 2 の実施形態に係る半導体記憶装置における充電回路、増幅回路、ゲート回路およびデータ保持回路の構成の一例を示すブロック図である。

【図 7】

ビット線の数 を 8 倍 に 増 や し た 半 導 体 記 憶 装 置 の 構 成 例 を 示 す ブ ロ ッ ク 図 で あ る。

【図 8】

2 つ の ビ ッ ト 線 選 択 回 路 お よ び セ ン ス 増 幅 器 を 用 い て 、 ビ ッ ト 線 の 数 を 1 6 倍 に 増 や し た 半 導 体 記 憶 装 置 の 構 成 例 を 示 す ブ ロ ッ ク 図 で あ る。

【図 9】

図 8 に 示 し た 半 導 体 記 憶 装 置 の 各 信 号 の タ イ ミ ン グ 関 係 の 一 例 を 示 す タ イ ミ ン グ チャートである。

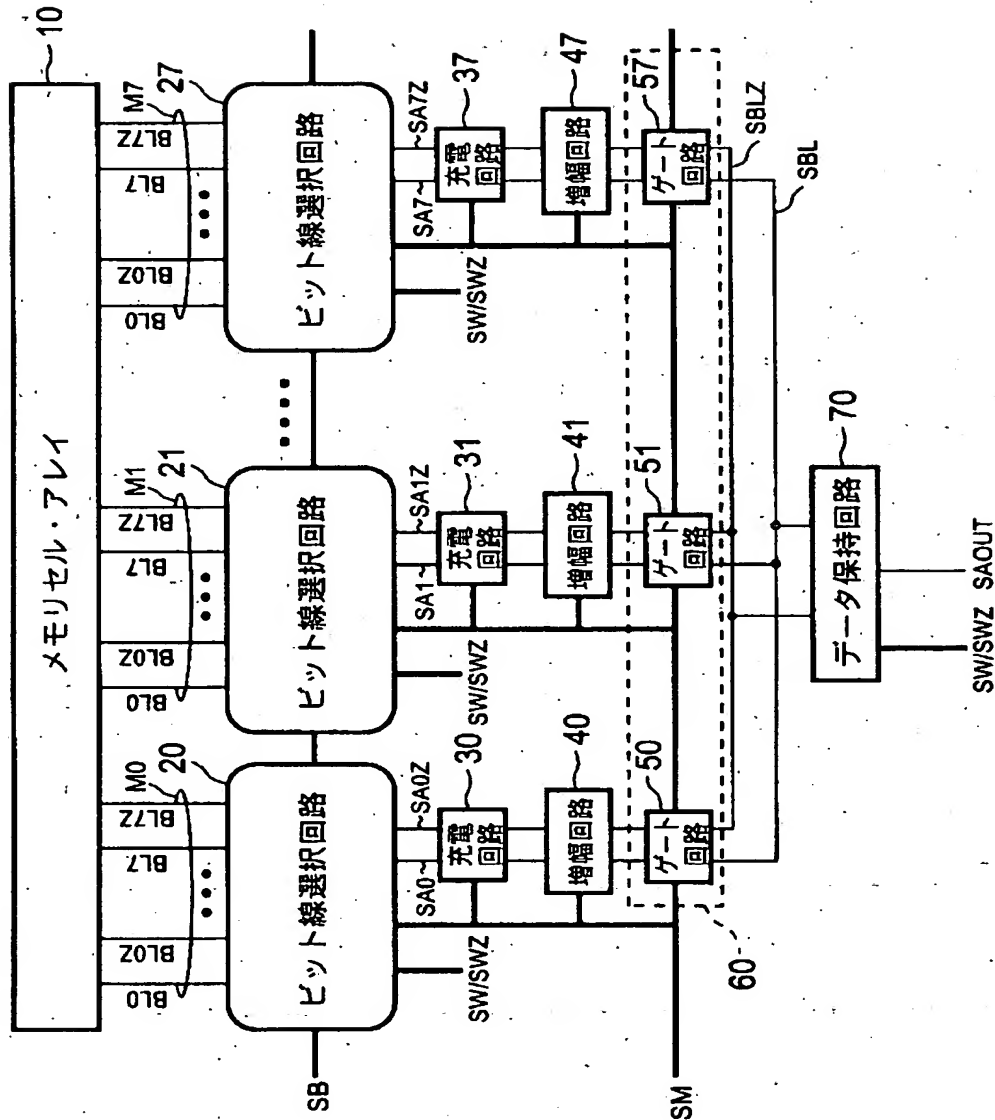
【符号の説明】

1 0 … メ モ リ セ ル ・ ア レ イ 、 2 0 ~ 2 7 … ビ ッ ト 線 選 択 回 路 、 3 0 ~ 3 7 … 充  
電回路、4 0 ~ 4 7 … 増 幅 回 路 、 5 0 ~ 5 7 , 5 0 A ~ 5 7 A … ゲート回路、6  
0 … ブ ロ ッ ク 選 択 回 路 、 7 0 … データ保持回路、2 0 1 - 0 ~ 2 0 1 - 7 , 2 0  
2 - 0 ~ 2 0 2 - 7 , 3 0 1 ~ 3 0 3 … p 型 MOS ト ラ ン ジ ス タ 、 2 0 3 - 0 ~  
2 0 3 - 7 , 2 0 4 - 0 ~ 2 0 4 - 7 … n 型 MOS ト ラ ン ジ ス タ 、 2 0 5 - 0 ~  
2 0 5 - 7 , 2 6 5 - 0 ~ 2 0 6 - 7 … NOR 回 路 、 2 0 7 - 0 ~ 2 0 7 - 7 ,  
7 0 1 , 7 0 2 … NAND 回 路 、 2 0 8 - 0 ~ 2 0 8 - 7 , 5 0 5 , 7 0 3 … イ  
ンバータ回路、2 0 9 , 3 0 4 , 4 0 2 , 5 0 6 … 制 御 回 路 、 5 0 3 , 5 0 4 …  
ク ロ ッ ク ド ・ イ ン バ ー タ 回 路 、 5 0 7 , 5 0 8 … ト ラ ン ス フ ァ ・ ゲート

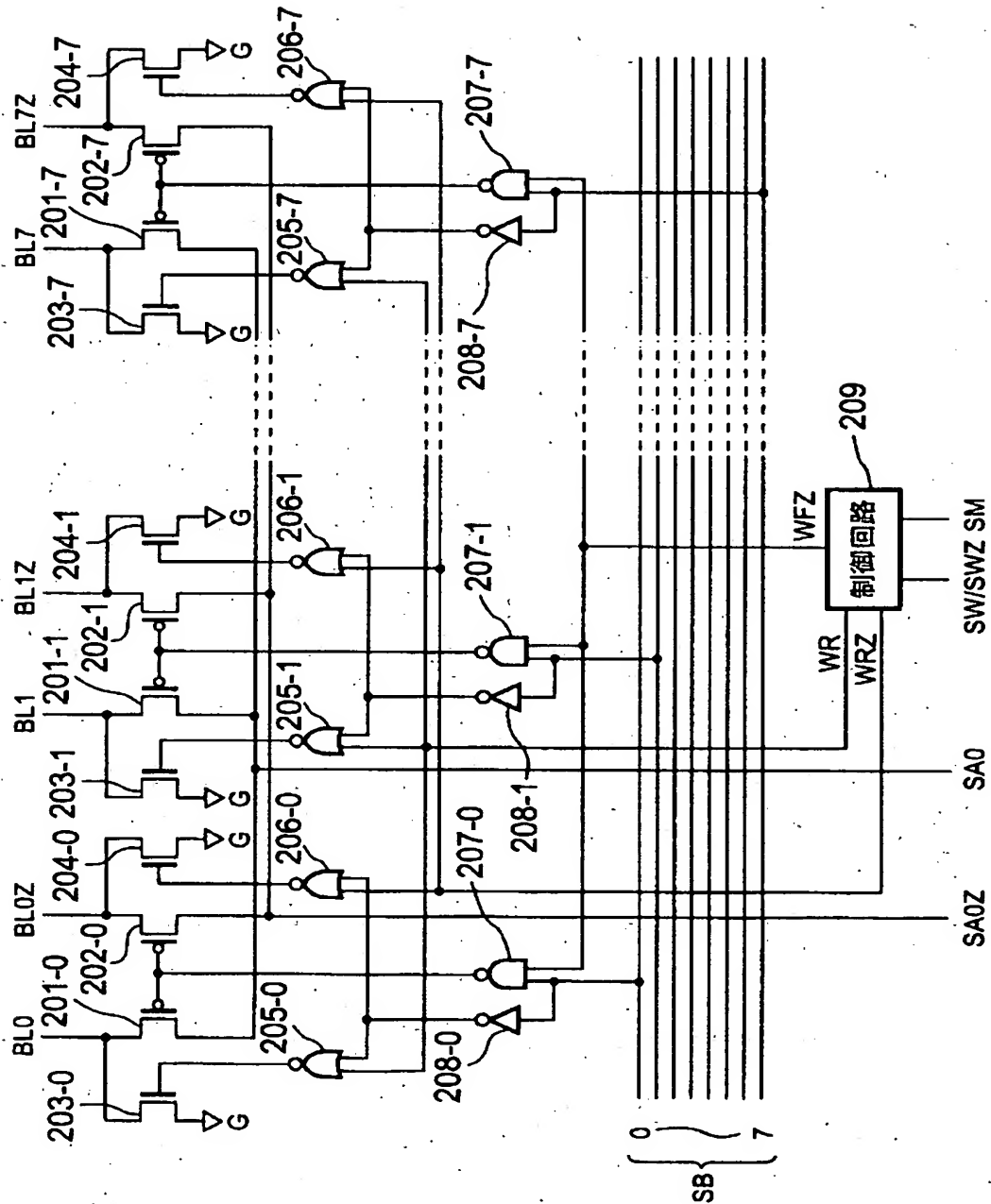
【書類名】

図面

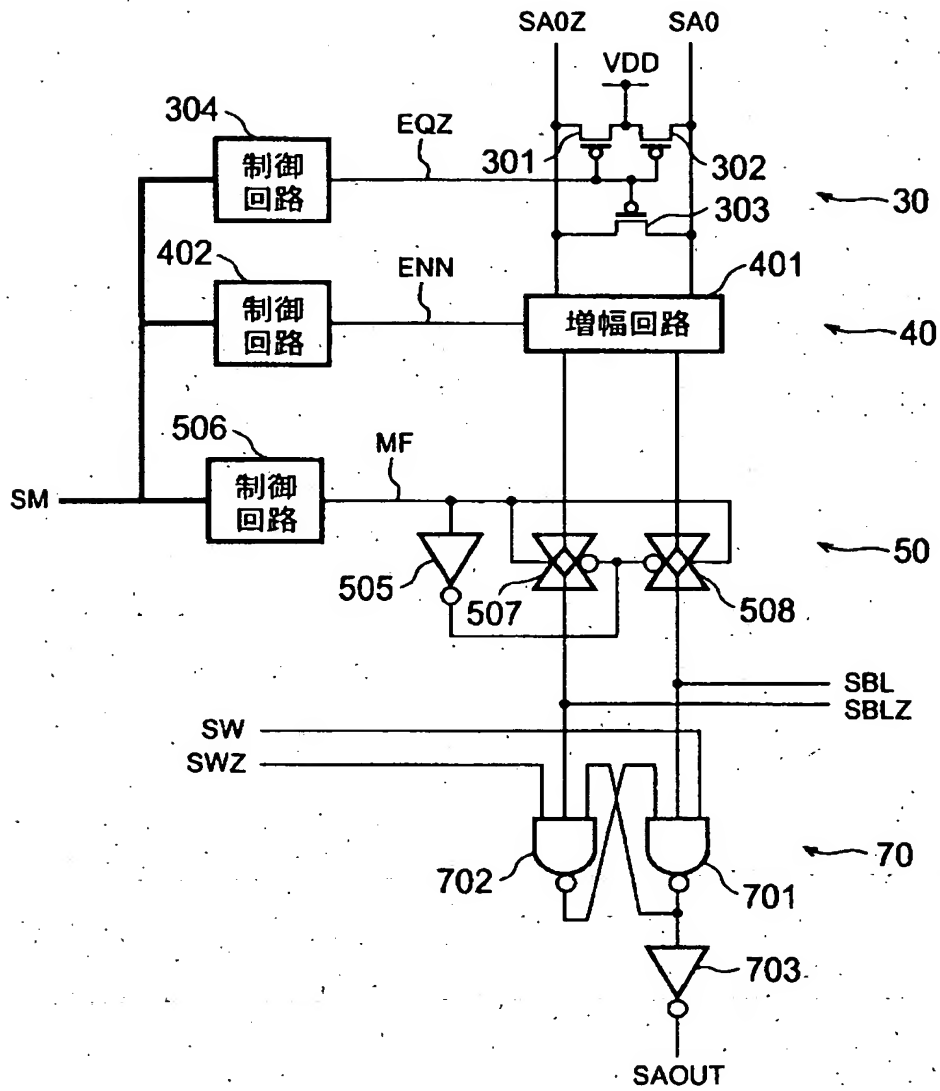
【図 1】



【図 2】

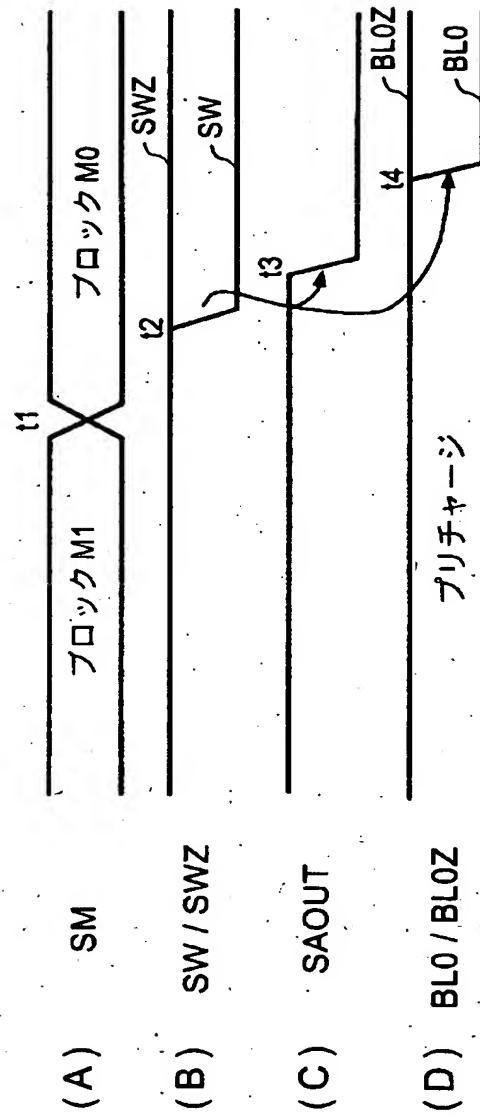


【図 3】

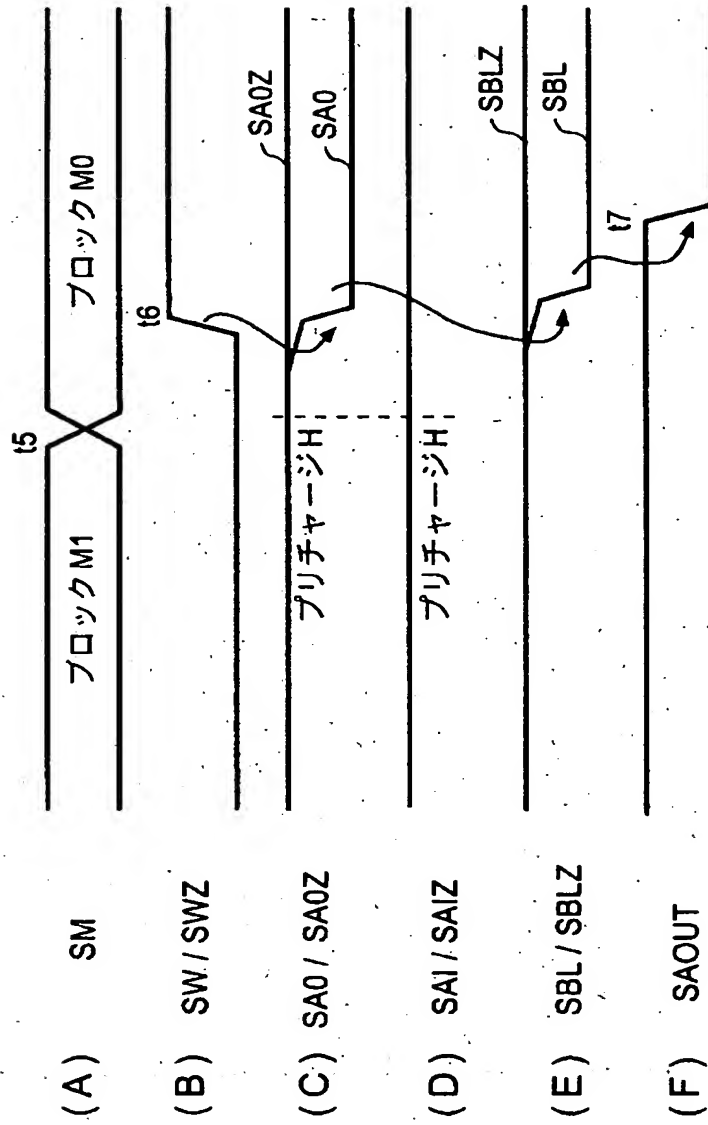




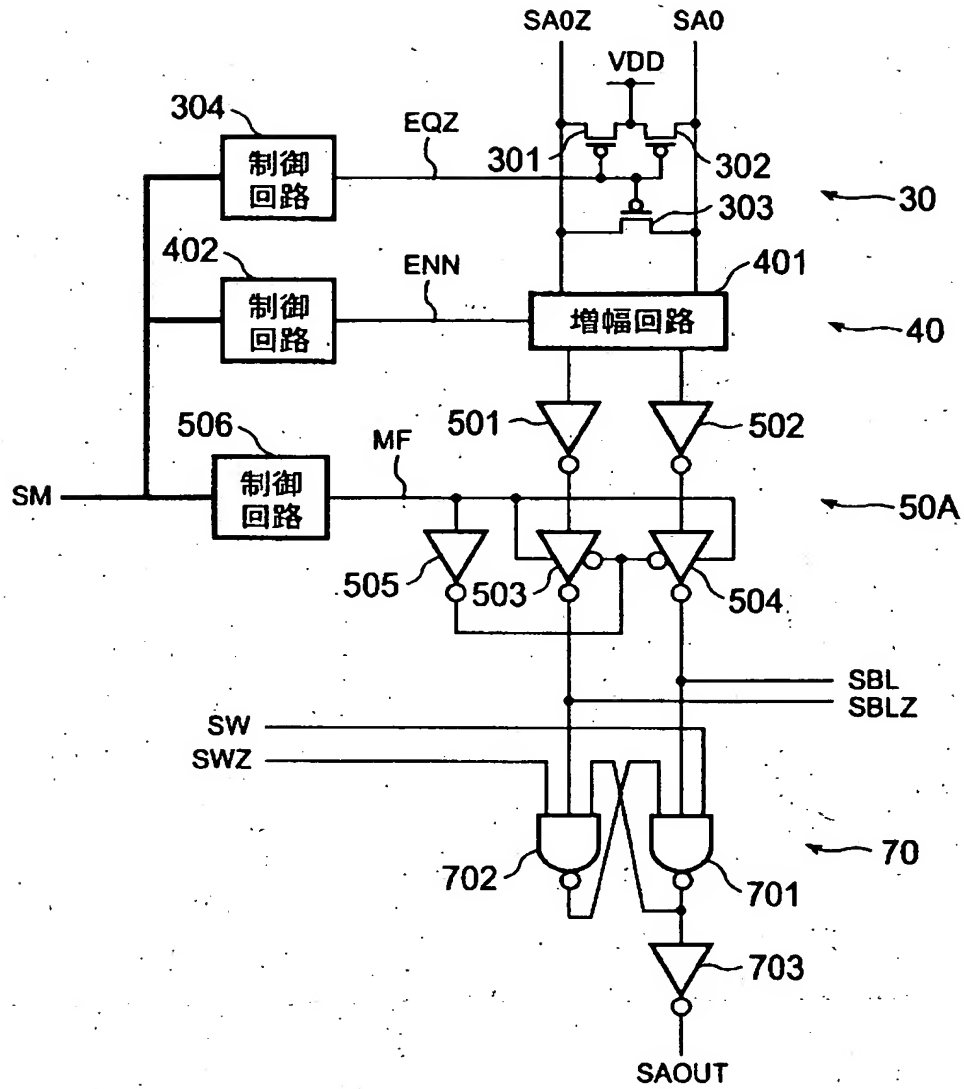
【図4】



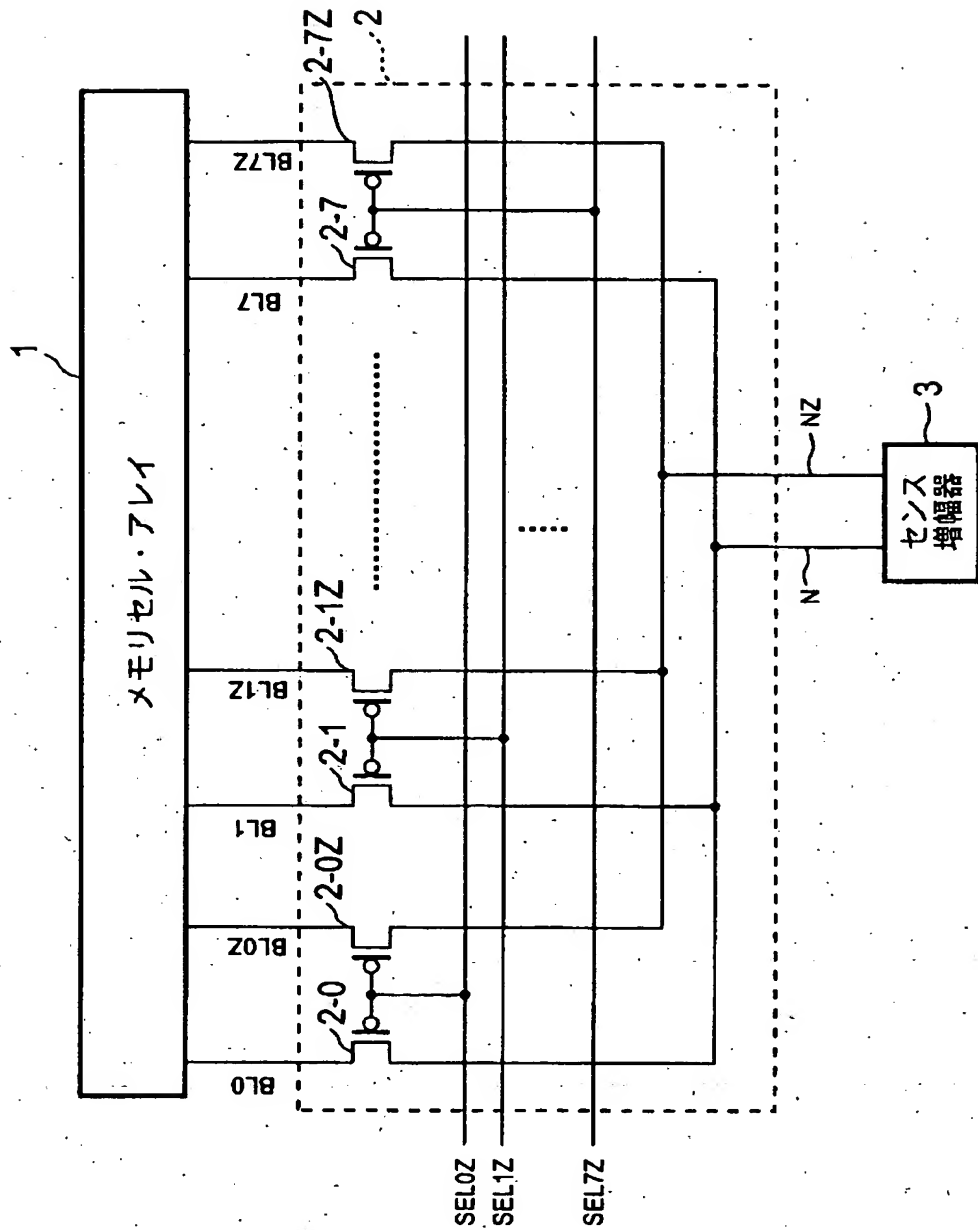
【図5】



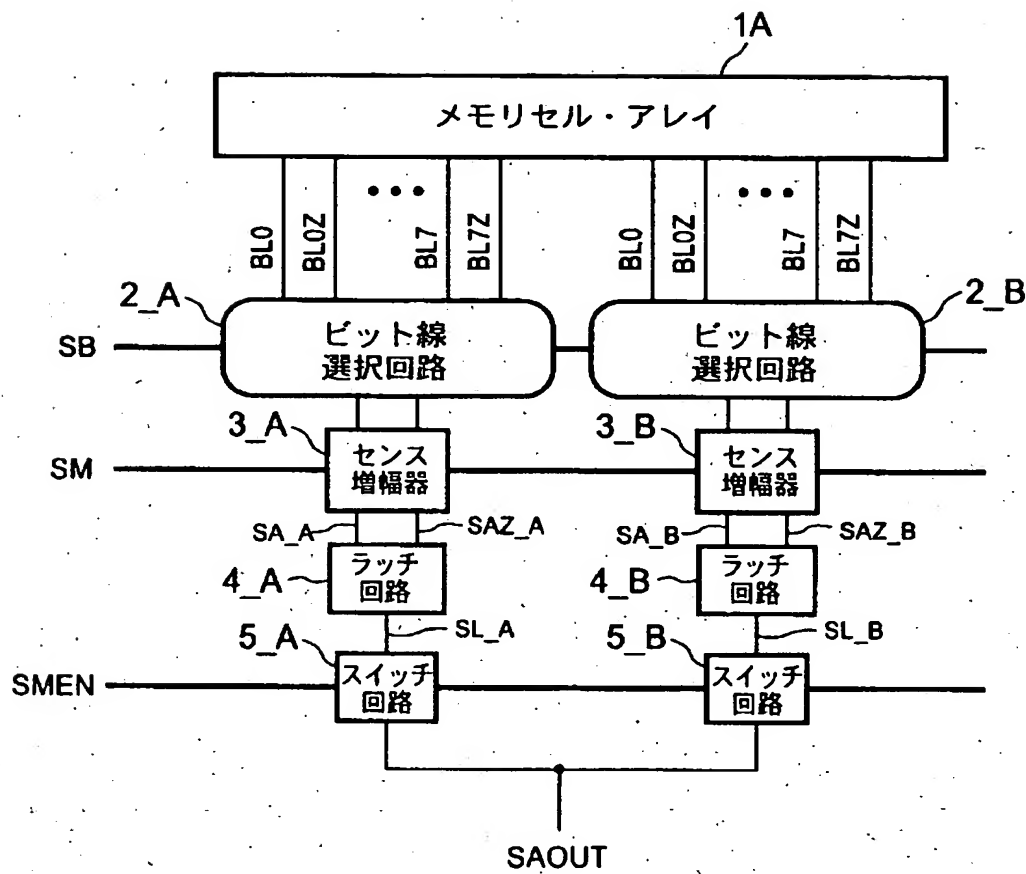
【図 6】



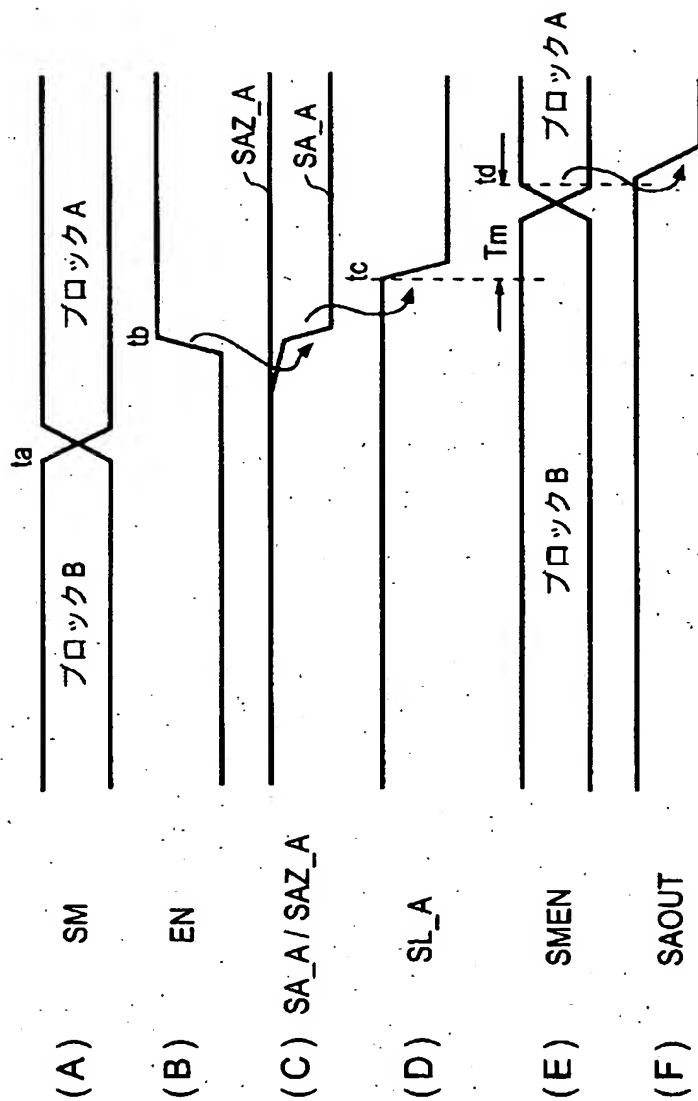
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ビット線の負荷を増大させることなく記憶容量を増やすことができ、アクセス速度をより高速化できる半導体記憶装置を提供することにある。

【解決手段】 メモリセルに対する読み出しアクセスの前に、ビット線選択回路20～27の出力線は充電回路30～37によってプリチャージされ、選択ビット線(SBL, SBLZ)がハイレベルになるので、データ保持回路70の出力信号SAOUTは前の読み出しデータのまま保持される。新たな読み出しアドレスに応じて別のゲート回路が導通しても、ビット線選択回路20～27の出力線は全てハイレベルであるため、選択ビット線はハイレベルのまま変わらず、データ保持回路70の出力信号SAOUTは前の読み出しデータのまま保持される。データ保持回路70の出力信号SAOUTは、増幅回路40～47によるビット線の差動増幅動作が完了次第、直ちに次の読み出しデータに変化する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日 1999年11月19日

[変更理由] 住所変更

住 所 東京都新宿区西新宿六丁目24番1号

氏 名 日本テキサス・インスツルメンツ株式会社